

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-017723

(43)Date of publication of application : 02.02.1983

(51)Int.Cl.

H03K 3/03

(21)Application number : 56-115785

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 23.07.1981

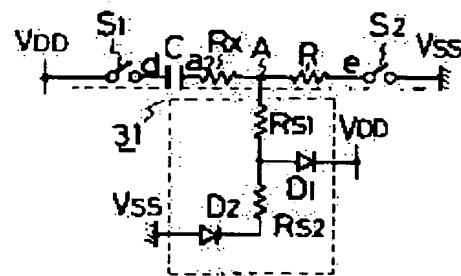
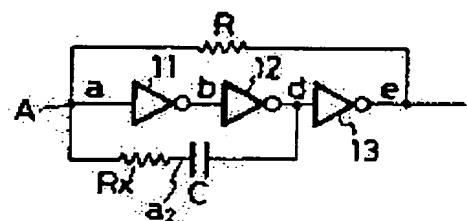
(72)Inventor : YAMAGUCHI AKIRA
MATSUO KENJI

(54) OSCILLATION CIRCUIT

(57)Abstract:

PURPOSE: To prevent instability of oscillation frequency caused by the dispersion of protective resistors at semiconductor manufacturing process, by providing a limit resistor to a capacitance positive feedback circuit to an input terminal of an inverter of the 1st stage.

CONSTITUTION: In an oscillation circuit consisting a plurality of inverters 11 ~ 13 in series connection, a resistor R_x is provided between a capacitor C charged/ discharged with an input signal (d) of the inverter 13 and an input terminal A. The resistance value of this resistor R_x is set to limit the voltage range of an input signal (a) of the inverter 11 within a power supply voltage $V_{DD}-V_{SS}$. If the signal (d) goes to 1 level, the voltage of the signal (a) rises to 1 level momentarily but this voltage is lower than the voltage V_{DD} . Thus, the current path to the input protection circuit of the inverter 11 can not be formed. On the other hand, when the signal (d) changes from 1 to 0 level, the voltage of the signal (a) is higher than the voltage V_{SS} . Thus, no current path to the circuit 31 can be formed. Then, no effect is given by protection resistors R_{s1} and R_{s2} .



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

... PAGE BLANK (USPTO)

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

① 特許出願公開
昭58—17723

⑤ Int. Cl.³
H 03 K 3/03

識別記号 庁内整理番号
7631—5J

④ 公開 昭和58年(1983)2月2日

発明の数 1
審査請求 未請求

(全 6 頁)

⑯ 発振回路

⑰ 特 願 昭56—115785
⑱ 出 願 昭56(1981)7月23日
⑲ 発 明 者 山口明
川崎市幸区小向東芝町1番地東
京芝浦電気株式会社トランジス
タ工場内

⑳ 発 明 者 松尾研二
川崎市幸区小向東芝町1番地東
京芝浦電気株式会社トランジス
タ工場内
㉑ 出 願 人 東京芝浦電気株式会社
川崎市幸区堀川町72番地
㉒ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

発振回路

2. 特許請求の範囲

電源間に直列接続して設けられる MOS トランジスタ回路からなるインバータが複数段直列接続して設けられ、初段のインバータの入力側に抵抗およびダイオードから成る入力保護回路を有するインバータ回路と、このインバータ回路に接続され、初段のインバータの入力端に負帰還を与える抵抗負帰還回路と、上記インバータ回路に接続され、初段のインバータの入力端に正帰還を与える容量正帰還回路と、この正帰還回路中に上記容量と直列接続された制限抵抗とを具備したことを特徴とする発振回路。

3. 発明の詳細を説明

この発明は、特に半導体製造工程から生ずる素子のばらつきに基づく周波数の不安性を改善した発振回路に関する。

パルス発生回路は、電子装置の回路動作源に

なるなど、電子回路の中では重要な回路の一つである。このパルス発生回路には、種々の回路が提案されているが、簡単な構成で高集積化が可能である等の多くの利点を有する CR 発振回路が多用されている。この CR 発振回路(以下単に発振回路と称する)は、キャパシタと抵抗の時定数によつて決定される周波数のパルスを発生する回路である。このような発振回路は、従来第1図に示すように直列接続した複数段のインバータ I_1, I_2, I_3 を備え、この各インバータ I_1, I_2, I_3 は、通常相補型 MOS トランジスタ回路からなる。さらに、このインバータ $I_1 \sim I_3$ の中で出力段のインバータ I_3 の入力信号 ϕ に応じて充電または放電を行うキャパシタ C が設けられ、このキャパシタ C と初段のインバータ I_1 の入力端子が接続され、容量正帰還回路が形成される。この初段のインバータ I_1 の入力端子は、抵抗 R を介して出力段のインバータ I_3 の出力端子と接続され、抵抗負帰還回路が形成される。そしてこの抵抗 R と

キャパシタCの時定数によつて初段のインバータ11の入力端子の電圧aが変化する。

このような発振回路において、各インバータ11~13に供給される電源電圧を V_{DD} （以下「1」レベル）- V_{SS} （以下「0」レベル）とし、また各インバータ11~13、すなわち相補型MOSトランジスタ回路の回路閾値を電圧 V_{thc} とする。そして、いま仮にインバータ13の入力信号dが「1」レベル、出力信号eが「0」レベルになつた場合、初段のインバータ11の入力信号aは、第2図に示すように瞬間「1」レベル、すなわち $(V_{DD}+V_{thc}-V_{SS})$ にまで上昇し、従つてその出力信号bは「0」レベルである。その直後、インバータ13の入力端子 (V_{DD}) 、キャパシタC、インバータ11の入力端子、抵抗Rおよびインバータ13の出力端子 (V_{SS}) からなる電流経路によつて、キャパシタCは充電状態となり、入力信号aの電圧は減少し始める。この入力信号aの電圧が、インバータ11の回路閾値電圧 V_{thc} まで減少すると、インバータ11は反転動作してその出力信号bは「1」レベルから「0」レベルへ変化し、同時にインバータ13の入力信号dが「0」レベルから「1」レベルへ、またその出力信号eが「1」レベルから「0」レベルへ変化する。このような動作が繰り返し行なわれることによつて、インバータ13の出力端子から

作してその出力信号bは「0」レベルから「1」レベルへ変化する。従つてインバータ13の入力信号d、すなわちインバータ12の出力信号は「1」レベルから「0」レベルへ変化し、インバータ13の出力信号eは「0」レベルから「1」レベルへ変化する。このとき、入力信号aは瞬間「0」レベル、すなわち $(V_{SS}-V_{DD}+V_{thc})$ まで減少するが、その直後にインバータ13の出力端子 (V_{DD}) 、抵抗R、インバータ11の入力端子、キャパシタCおよびインバータ13の入力端子 (V_{SS}) からなる電流経路によつて、キャパシタCは充電状態となり、入力信号aは上昇し始める。この入力信号aがインバータ11の回路閾値電圧 V_{thc} まで上昇すると、インバータ11は反転動作してその出力信号bは「1」レベルから「0」レベルへ変化し、同時にインバータ13の入力信号dが「0」レベルから「1」レベルへ、またその出力信号eが「1」レベルから「0」レベルへ変化する。このような動作が繰り返し行なわれることによつて、インバータ13の出力端子から

出力信号eであるパルスが発生する。

ところで、このような発振回路において、各インバータ11~13を構成する相補型MOSトランジスタ回路の入力には、通常保護抵抗と保護ダイオードからなる入力保護回路を備えている。すなわち、この入力保護回路31には第3図に示すように、初段のインバータ11が電源間 $V_{DD}-V_{SS}$ に設けられる直列接続のP型MOSトランジスタ Tr_1 およびN型MOSトランジスタ Tr_2 からなり、この各トランジスタ Tr_1 、 Tr_2 の共通接続された両者のゲートと入力端子A間に直列接続の保護抵抗 R_{s1} 、 R_{s2} が設けられる。そしてこの保護抵抗 R_{s1} 、 R_{s2} の共通接続点と電源 V_{DD} 間に保護ダイオード D_1 が設けられ、さらにトランジスタ Tr_1 、 Tr_2 の両者のゲートと保護抵抗 R_{s2} の共通接続点と接地 V_{SS} 間に保護ダイオード D_2 が設けられる。このような入力保護回路31を有する発振回路では、上記第2図に示す如く初段のインバータ11の入力信号aの電圧が反転時に「1」レベル $(V_{DD}+V_{thc}-V_{SS})$

または「0」レベル $(V_{SS}-V_{DD}+V_{thc})$ に引上げられる際、この電圧 $(V_{DD}+V_{thc}-V_{SS})$ は電源電圧 V_{DD} よりも高く、また電圧 $(V_{SS}-V_{DD}+V_{thc})$ は電圧 V_{SS} よりも低い電圧である。従つて入力信号aの電圧（入力端子Aの電圧）が「1」レベル $(V_{DD}+V_{thc}-V_{SS})$ にまで上昇した場合、第4図(A)に示すようなキャパシタC、入力端子A、保護抵抗 R_{s1} 、保護ダイオード D_1 および電源 V_{DD} からなる電流経路が電圧 V_{DD} まで減少する期間（第2図に示す T_1 期間）形成される。このとき、図中のスイッチ S_1 、 S_2 はインバータ12、13に対応する。同様に入力信号aの電圧が「0」レベル $(V_{SS}-V_{DD}+V_{thc})$ まで減少した場合、第4図(B)に示すような電圧 V_{SS} 、保護ダイオード D_2 、保護抵抗 R_{s2} 、 R_{s1} 、入力端子A、およびキャパシタCからなる電流経路が電圧 V_{SS} まで上昇する期間（第2図に示す T_2 期間）形成される。

このような動作を行う従来発振回路から発生するパルスの周期T、すなわち第2図に示す

期間 T_1 、 T_2 、 T_3 、 T_4 をそれぞれ求めると、

$$T_1 = \frac{-CR_{B1} \cdot \Delta_n \cdot V_{DD}}{R+B_{B1} \cdot V_{DD} + V_{thc} + (R/B_{B1}) \cdot V_{thc}} \quad \text{----(1)}$$

$$T_2 = -CR \cdot \Delta_n \cdot \frac{V_{thc}}{V_{DD}} \quad \text{----(2)}$$

$$T_3 = \frac{-CR(R_{B1}+R_{B2}) \cdot \Delta_n \cdot V_{DD}}{R+B_{B1}+R_{B2} \cdot 2V_{DD} - V_{thc} + (R/B_{B1}+R_{B2}) \cdot (V_{DD}-V_{thc})} \quad \text{(3)}$$

$$T_4 = -CR \cdot \Delta_n \cdot \frac{V_{DD}-V_{thc}}{V_{DD}} \quad \text{----(4)}$$

となり、ここで

R 、 R_{B1} 、 R_{B2} --- 抵抗 R 、保護抵抗 R_{B1} 、 R_{B2} の各抵抗値

C --- キャパシタ C の容量

である。従つて上記式(1)~(4)より、パルスの周波数 f は下記のように表現される。

$$f = \frac{1}{T} = \frac{1}{\frac{1}{T_1} + \frac{1}{T_2} + \frac{1}{T_3} + \frac{1}{T_4}} = \frac{1}{\frac{1}{\frac{-CR_{B1} \cdot \Delta_n \cdot V_{DD}}{R+B_{B1} \cdot V_{DD} + V_{thc} + (R/B_{B1}) \cdot V_{thc}}}} + \frac{1}{\frac{-CR \cdot \Delta_n \cdot V_{thc}}{V_{DD}}} + \frac{1}{\frac{-CR(R_{B1}+R_{B2}) \cdot \Delta_n \cdot V_{DD}}{R+B_{B1}+R_{B2} \cdot 2V_{DD} - V_{thc} + (R/B_{B1}+R_{B2}) \cdot (V_{DD}-V_{thc})}} + \frac{1}{\frac{-CR \cdot \Delta_n \cdot (V_{DD}-V_{thc})}{V_{DD}}}} \quad \text{----(5)}$$

すなわち、式(5)より従来の発振回路から発生するパルスの周波数 f は、保護抵抗 R_{B1} 、 R_{B2} の値に依存している。しかしながら、この保護抵抗 R_{B1} 、 R_{B2} は通常発振回路を集積化する際、半導体の拡散抵抗からなり、製造工程から生ずるばらつきが大きい。従つてパルスの周波数 f は、

このような発振回路において、いざ仮に出力段のインバータ I_3 の入力信号 d が「1」レベルになつたとすると、第6図(A)に示すように電源電圧 V_{DD} 、キャパシタ C 、抵抗 R_x 、入力端子 A 、抵抗 R および電圧 V_{ss} (「0」レベル) からなる電流経路が形成され、キャパシタ C は放電状態になる。このとき、初段のインバータ I_1 の入力端子 A に発生する入力信号 a の電圧は、第7図に示すように瞬間に「1」レベル、すなわち電圧 $(\frac{R-R_x}{R_x+R} \cdot V_{DD} + V_{thc})$ まで上昇するが、この電圧 $(\frac{R-R_x}{R_x+R} \cdot V_{DD} + V_{thc})$ は電源電圧 V_{DD} より低電位である。但し電圧 V_{thc} は $\frac{1}{2} V_{DD}$ である。このときのキャパシタ C の端子電圧 v_2 (第6図(A)に示す) は、第7図に示す如く $[\frac{R-R_x}{R} \cdot V_{DD} + \frac{R+R_x}{R} \cdot V_{thc}]$ である。したがつて、前記第4図(A)に示したと同様の、初段のインバータ I_1 の入力保護回路 S_1 、すなわち第8図(A)に示す如く電圧 V_{DD} 、キャパシタ C 、入力端子 A 、保護抵抗 R_{B1} 、保護ダイオード PD_1 、および電源電圧 V_{DD} からなる電流経路は形成されることはない。したがつ

この保護抵抗 R_{B1} 、 R_{B2} によつて、変動して不安定になる欠点がある。

この発明は上記の事情を鑑みてなされたもので、初段のインバータの入力保護回路を構成する保護抵抗の影響をなくすことによつて、安定な周波数を有するパルスを発生する発振回路を提供することを目的とする。

以下図面を参照してこの発明の一実施例について説明する。第5図はその構成を示すもので、上記第1図に示したと同様の複数段のインバータ $I_1 \sim I_3$ が直列接続してなる発振回路において、出力段のインバータ I_3 の入力信号 d に対応して充電または放電がなされるキャパシタ C と初段のインバータ I_1 の入力端子 A 間に抵抗 R_x が直列に設けられる。この抵抗 R_x は、キャパシタ C と抵抗 R の時定数によつて変化するインバータ I_1 の入力信号 a の電圧の範囲を電源電圧 $V_{DD} - V_{ss}$ 内に制限する如く、抵抗値が設定される。なお、他の構成は第1図と同様であるため、同一符号を付して説明は省略する。

て、保護抵抗 R_{B1} に依存することなく、入力端子 A の入力信号 a の電圧は減少し始める。そしてこの入力信号 a の電圧が第7図に示す如くインバータ I_1 の回路閾値電圧 V_{thc} まで減少すると、インバータ I_1 は反転動作し、インバータ I_1 の出力信号 b は「0」レベルから「1」レベルに変化し、インバータ I_3 の入力信号 d は「1」レベルから「0」レベルに変化する。このとき、瞬間に入力信号 a の電圧は「0」レベル、すなわち電圧 $(\frac{-R-R_x}{R_x+R} \cdot V_{DD} + V_{thc})$ まで減少するが、この電圧 $(\frac{-R-R_x}{R_x+R} \cdot V_{DD} + V_{thc})$ は電圧 V_{ss} より高電位である。このときのキャパシタ C の端子電圧 v_2 (第6図(B)に示す) は、第7図に示す如く $[-V_{DD} + \frac{R_x+R}{R} \cdot V_{thc}]$ である。したがつて、第6図(B)に示す如く電源電圧 V_{DD} 、抵抗 R 、入力端子 A 、抵抗 R_x 、キャパシタ C および電圧 V_{ss} からなる電流経路が形成され、キャパシタ C は充電状態となるが、インバータ I_1 の入力保護回路 S_1 、すなわち上記第4図(B)に示したと同様の電圧 V_{ss} 、保護ダイオード PD_1 、保護抵抗

R_{s2} 、入力端子A、およびキャパシタCからなる電流経路は形成されることはない。したがって、保護抵抗 R_{s1} 、 R_{s2} に依存することなく、入力端子Aの入力信号 a の電圧は上昇し始める。そして、この入力信号 a の電圧が電圧 V_{thc} まで上昇すると、インバータ11は反転し、入力信号 d は「0」レベルから「1」レベルへ変化する。このような、動作が繰り返されることによつて、出力段のインバータ13の出力端子から出力信号 b であるパルスが入力信号 d の反転信号として、発生する。

このような発振回路から発生するパルスの発振周波数 f を求めてみると、まず第7図に示す如く期間 T_1 、すなわち入力信号 a の電圧 V_A が $(V_{thc} \leq V_A \leq \frac{R-R_x}{R_x+R} \cdot V_{DD} + V_{thc})$ のような範囲内のとき、

$$T_1 = (R+R_x) \cdot C \cdot \ln \frac{V_{thc}}{(R-R_x)(R_x+R) \cdot V_{DD} + V_{thc}} \quad \text{.....(6)}$$

となる。さらに期間 T_2 、すなわち入力信号 a の電圧 V_A が $(\frac{R-R_x}{R_x+R} \cdot V_{DD} + V_{thc} \leq V_A \leq V_{thc})$ のような範囲内のとき、

定数に応じて変化する初段のインバータの入力電圧の範囲を制限し、その入力保護回路を構成する保護抵抗の周波数に対する影響を除去することによつて、安定な周波数を有するパルスを発生する発振回路を提供できる。

4. 図面の簡単な説明

第1図は従来の発振回路の構成図、第2図はそのタイミングチャートを示す図、第3図も従来の発振回路の構成図、第4図(A)、(B)はその動作を説明する等価回路図、第5図はこの発明の一実施例に係る発振回路の構成図、第6図(A)、(B)はその動作を説明する等価回路図、第7図はそのタイミングチャートを示す図である。

11、12、13—インバータ、R、 R_{s1} 、 R_{s2} 、 R_x —抵抗、C—キャパシタ、D1、D2—ダイオード、Tr1、Tr2—MOSトランジスタ。

$T_2 = (R+R_x) \cdot C \cdot \ln \frac{V_{DD}-V_{thc}}{(1+(R-R_x)/(R_x+R)) \cdot V_{DD}-V_{thc}} \quad \text{.....(7)}$
 となる。パルスの周期 T は「 T_1+T_2 」であるから、上記式(6)、(7)より、パルスの発振周波数 f は

$$f = \frac{1}{T} = \frac{1}{T_1+T_2} = \frac{1}{(R+R_x) \cdot C \cdot \ln \frac{V_{thc}}{(R-R_x)(R_x+R) \cdot V_{DD} + V_{thc}} + \ln \frac{V_{DD}-V_{thc}}{(1+(R-R_x)/(R_x+R)) \cdot V_{DD}-V_{thc}}} \quad \text{.....(8)}$$

となる。すなわち、上記式(8)よりパルスの発振周波数 f は、抵抗R、 R_x およびキャパシタCの時定数によつて決定され、インバータ11の入力保護回路を構成する保護抵抗 R_{s1} 、 R_{s2} には依存しない無関係な値となる。

このように、抵抗 R_x を設けて、初段のインバータ11の入力電圧の変化を電源電圧 $V_{DD}-V_{thc}$ の範囲内に制限することによつて、インバータ11の入力保護回路を構成する入力保護抵抗および保護ダイオードへの電流を防止できる。したがつて、半導体製造工程による保護抵抗のばらつきから生ずる発振周波数の不安定性を防ぐことができる。

以上詳述したように、この発明によればCR時

★ 7 図

